

壹、發明名稱：(中文/英文)

中文發明名稱

判斷位址資料的方法

英文發明名稱

METHOD OF DETERMINING ADIP INFORMATION THROUGH COUNTING
IDENTICAL BITS AND DIFFERENT BITS

貳、申請人：

參、發明人：

肆、聲明事項：

伍、中文發明摘要：

本發明係提供一種位址資料判斷之方法，其包含有依據該擺動訊號產生一擺動時脈；依據擺動訊號與擺動時脈產生一運算資料；將運算資料取樣後比較取樣訊號之各位元與包含一位址資料之理想位元串之各位元，並依據對應不同邏輯值的位元數總合產生一第一邏輯位元數，以及依據對應相同邏輯值的位元數總合產生一第二邏輯位元數；以及依據第一邏輯位元數與第二邏輯位元數判斷該運算資料是否對應該位址資料。

陸、英文發明摘要：

A method of determining ADIP information through counting identical bits and different bits, including: generating a wobble clock according to a wobble signal; generating a calculation result according to the wobble signal and the wobble clock; sampling the calculation result to generate a sampling signal and comparing each bit of the sampling signal with each bit of a bit stream containing an ADIP data, counting identical bits corresponding to a predetermined logic value for generating a first bit count, and counting different bits for generating a second bit count; and determining whether the calculation result corresponds to the ADIP data according to the first bit count and the second bit count.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 五 ）圖。

(二)本代表圖之元件代表符號簡單說明：

100、102、104、106、108、110

步驟

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明提供一種判斷位址資料的方法，尤指一種計數邏輯值相同之位元數與邏輯值相異之位元數來判斷位址資料的方法。

【先前技術】

雖然習知光碟燒錄機可便利地提供使用者紀錄所要的資料，然而一般光碟片的容量有限而逐漸無法滿足使用者對於多媒體資料儲存的需求，因此業界便另提出新的光碟片規格以增加原先一般光碟片可儲存資料的容量，例如習知的多功能數位碟片（**digital versatile disc, DVD**），其大小與一般的 CD 光碟片相同，但是其容量卻遠大於 CD 光碟片。對於多功能數位碟片而言，業界亦隨之制訂可錄式多功能數位碟片及可重複寫入式多功能數位碟片的規格，以便讓使用者可如同利用可錄式 CD 光碟片與可重複寫入式 CD 光碟片紀錄資料一般地利用可錄式多功能數位碟片及可重複寫入式多功能數位碟片來紀錄大量的資料。如業界所習知，可錄式多功能數位碟片及可重複寫入式多功能數位碟片可區分為不同的規格，例如符合 **DVD+R** 規格的可錄式多功能數位碟片與符合 **DVD+RW** 規格的可重複寫入式多功能數位碟片可完全地相容於目前廣泛被使用的 **DVD** 影音光碟機（**DVD-Video player**）與 **DVD** 唯讀光碟機（**DVD-ROM drive**）。

如同 CD 光碟片一般，為便於內儲資訊的管理，多功能數位碟片

上儲存資料的區域亦會被區分成許多小記錄區 (frame)，且多功能數位碟片上所儲存的資訊會依照一定的規畫儲存在多功能數位碟片上的各記錄區中。所以，要將資訊寫入一可寫式多功能數位碟片時，光碟燒錄機必須要先確定該可寫式多功能數位碟片上各記錄區的規畫情形，才能正確地將資料寫入該可寫式多功能數位碟片中。爲了要記錄與各記錄區相關的資訊，可寫式多功能數位碟片也有特殊的構造來記錄相關的資訊以定址所紀錄的資料。對於符合 DVD+R 規格的可錄式多功能數位碟片與符合 DVD+RW 規格的可重複寫入式多功能數位碟片來說，該資訊即爲位址資料 (address in pregroove, ADIP)。

位址資料係以相位調變 (phase modulation) 方式紀錄於擺動訊號中，而光碟片上的二記錄區係對應 93 個擺動週期，其中 8 個擺動週期係以相位調變方式來紀錄位址資料，所以光碟機必須使用一位址資料解碼器 (ADIP decoder) 來擷取出該位址資料。請參閱圖一，圖一爲習知光碟機系統 10 的示意圖。光碟機系統 10 係應用一光碟機 12 來讀取一光碟片 14 上所儲存的資料以及將資料燒錄於光碟片 14 上，而光碟機 12 中設置有一讀寫頭 (pick-up head) 16，一擺動時脈產生電路 (wobble clock generator) 18，一位址資料解碼器 20，以及一控制電路 (controller) 22。此外，位址資料解碼器 20 包含有一 XOR 邏輯運算電路 24 以及一判斷邏輯電路 (decision logic) 26，而擺動時脈產生電路 18 中設置有一鎖相電路 (phase lock loop, PLL) 28 以及一除頻電路 (frequency divider) 29。當光碟機 12 對光碟片 12 進行資料讀取操作時，讀寫頭 16 可依據一預定雷射功率輸出一入射雷射光 L_i 至光碟片 12 之軌道 15 上一預定位置，然後該預定位置會依據入射雷射光 L_i 而產生一相對應的反射雷射光 L_r 至讀寫頭 16，因此讀寫頭 16 便可接收反射雷射光 L_r ，並轉換該反射雷射光 L_r 爲一相對應的電氣訊號。如業界所習知，對於符合 DVD+R 規格或 DVD+RW 規格的光碟片 14 而言，當光碟片 14 出廠時，於光碟片 14 之反射面上，除了用來寫入位元 "0" 與 "1" 的資料軌道外，另設置有凸出於該反射面的擺動軌道，亦即該資料軌道係位於突出之擺動軌道間所形成的溝槽 (groove) 內，而該擺動軌道則記載著位址資料以便可順利地讀取該資料軌道上所紀錄的資料，以及便於將資料寫入該資料軌道上。

當讀寫頭 16 接收上述擺動軌道所產生的反射雷射光 L_r 後，讀寫頭 16 即將反射雷射光 L_r 轉換爲擺動訊號 WBL，並同時輸出擺動訊號 WBL 至擺動時脈產生電路 18 與位址資料解碼器 20。接著，擺動時脈產生電路 18 便根據擺動訊號 WBL (具有相位調變之擺動週期) 來產生相對應之非相位調變的擺動訊號 WBLCLK。如圖一所示，擺動訊號 WBL 先輸入鎖相電路 28，而鎖相電路 28 便可

依據相位調變之擺動訊號 WBL 先產生一非相位調變之高頻時脈訊號 WOBCLK，然後再經由除頻電路 29 來產生所需的擺動訊號 WBLCLK，此外，高頻時脈訊號 WOBCLK 亦可經由除頻電路 29 來產生其他頻率的時脈訊號以作為光碟機 12 中其他元件的驅動時脈，例如產生一時脈訊號 WBLCLK2，其頻率係為擺動訊號 WBLCLK 之頻率的兩倍。然後，XOR 邏輯運算電路 24 便對擺動訊號 WBLCLK 與擺動訊號 WBL 進行 XOR 邏輯運算來產生一運算資料 ADIP_PRE，最後，判斷邏輯電路 26 便決定運算資料 ADIP_PRE 是否為有效的位址資料 ADIP。若運算資料 ADIP_PRE 包含有效的位址資料 ADIP，則判斷邏輯電路 26 會將位址資料 ADIP 輸出至控制電路 22，因此控制電路 22 便可依據位址資料 ADIP 得知光碟片 14 上的軌道資訊，以便控制資料寫入光碟片 14 與白光碟片 14 讀取資料。

圖二、三、四分別為習知擺動訊號 30a、30b、30c 的示意圖。對於圖二所示之擺動訊號 30a 而言，其包含有 8 個擺動週期 W0、W1、W2、W3、W4、W5、W6、W7 以相位調變方式來紀錄對應位址資料的資訊，而於擺動週期 W0 啓始時，擺動訊號 30a 即產生 180°的相位變化，此外擺動週期 W3 與擺動週期 W4 之間，擺動訊號 30a 亦產生 180°的相位變化，因此擺動訊號 30a 係對應位址資料的同步單元 (ADIP sync unit)，如前所述，擺動時脈產生電路 18 可產生擺動時脈 WBLCLK，由圖二可知，擺動時脈 WBLCLK 係為非相位調變的訊號，因此 XOR 邏輯運算電路 24 可經由 XOR 邏輯運算來得到以相位調變方式紀錄的位址資料 ADIP，換句話說，若以擺動時脈 WBLCLK 之一週期為單位，位元串“11110000”即表示擺動訊號 30a 係為一同步單元。對於圖三所示之擺動訊號 30b 而言，其包含有 8 個擺動週期 W0、W1、W2、W3、W4、W5、W6、W7 以相位調變方式來紀錄對應位址資料的資訊，而於擺動週期 W0 啓始時，擺動訊號 30b 即產生 180°的相位變化，此外擺動週期 W0 與擺動週期 W1 之間以及擺動週期 W5 與擺動週期 W6 之間，擺動訊號 30b 亦分別產生 180°的相位變化，因此擺動訊號 30b 即對應位址資料之一資料單元 (ADIP data unit)，且該資料單元係為邏輯值“0”，同樣地，XOR 邏輯運算電路 24 可經由 XOR 邏輯運算處理擺動訊號 30b 與擺動時脈 WBLCLK 來得到以相位調變方式紀錄的位址資料 ADIP，換句話說，若以擺動時脈 WBLCLK 之一週期為單位，位元串“10000011”即表示擺動訊號 30b 係為邏輯值“0”的資料單元。對於圖四所示之擺動訊號 30c 而言，其包含有 8 個擺動週期 W0、W1、W2、W3、W4、W5、W6、W7 以相位調變方式來紀錄對應位址資料的資訊，而於擺動週期 W0 啓始時，擺動訊號 30c 即產生 180°的相位變化，此外擺動週期 W0 與擺動週期 W1 之間、擺動週期 W3 與擺動週期 W4 之間以及擺動週期 W5 與擺動週期 W6 之間，擺動訊號 30c 亦分別產生 180°的相位變化，因此擺動訊號 30c 即對應位址資料之一資料單元，且該資料單元係為邏輯值“1”，同樣地，XOR 邏輯運算電路 24 可經由 XOR 邏輯運算處理擺動訊號 30c 與擺動時脈 WBLCLK 來得到以相位調變方式紀錄的位址資料 ADIP，換句話說，若以擺動時脈 WBLCLK 之一週期為單位，位元串“10001100”即表示擺動訊

號 30c 係為邏輯值“1”的資料單元。

已知每 93 個擺動週期中，8 個擺動週期係以相位調變方式來紀錄對應位址資料的同步單元或資料單元，因此當 XOR 邏輯運算電路 24 不斷對擺動訊號 WBL 與擺動時脈 WBLCLK 進行 XOR 邏輯運算而輸出運算資料 ADIP_PRE 時，若運算資料 ADIP_PRE 此時具有一位元串“11110000”，則表示擺動訊號 WBL 紀錄一同步單元，所以判斷邏輯電路比較運算資料 ADIP_PRE 與位元串“11110000”即可決定運算資料 ADIP_PRE 是否為所要的位址資料 ADIP，同樣地，若運算資料 ADIP_PRE 此時具有一位元串“10000011”，則表示擺動訊號 WBL 紀錄一資料單元（邏輯值“0”），所以判斷邏輯電路比較運算資料 ADIP_PRE 與位元串“10000011”即可決定運算資料 ADIP_PRE 是否為所要的位址資料 ADIP，以及若運算資料 ADIP_PRE 此時具有一位元串“10001100”，則表示擺動訊號 WBL 紀錄另一同步單元（邏輯值“1”），所以判斷邏輯電路比較運算資料 ADIP_PRE 與位元串“10001100”即可決定運算資料 ADIP_PRE 是否為所要的位址資料 ADIP。

圖二至圖四所示之擺動訊號 30a、30b、30c 係為紀錄同步位元與資料位元的理想波形，然而，讀寫頭 16 實際上輸出的擺動訊號 WBL 會受各種因素影響，例如光碟片 14 旋轉時產生震動以及讀寫頭 16 的輸出功率不穩定等均會影響讀寫頭 16 所接收的反射雷射光 Lr，因此造成擺動訊號 30a、30b、30c 的實際波形受干擾而偏移理想波形，所以習知技術於判斷擺動訊號 WBL 時，判斷邏輯電路 26 係執行複數個比較運算來決定運算資料 ADIP_PRE 是否為所要的位址資料 ADIP。舉例來說，判斷邏輯電路 26 比較運算資料 ADIP_PRE 與一預定位元串“10000111”，雖然該預定位元串“10000111”與理想位元串“10000011”不同，然而，當運算資料 ADIP_PRE 等於該預定位元串“10000111”時，判斷邏輯電路 26 亦會判斷運算資料 ADIP_PRE 係為一資料單元（邏輯值“0”），換句話說，判斷邏輯電路 26 使用該預定位元串“10000111”係考慮前述干擾對擺動訊號 30b 的影響。所以，當判斷邏輯電路 26 判斷運算資料 ADIP_PRE 是否為所要的位址資料 ADIP 時，判斷邏輯電路 26 必須使用複數個預定位元串來逐一偵測運算資料 ADIP_PRE 為同步單元（對應位元串“11110000”）或資料單元（對應位元串“10000011”或位元串“10001100”），因此判斷邏輯電路 26 必須應用大量暫存器來紀錄該複數個預定位元串，且判斷邏輯電路 26 需要複雜的邏輯運算電路來執行上述比較運算。

【發明內容】

因此本發明提供一種計數邏輯值相同之位元數與邏輯值相異之位元數來判斷位址資料的方法，以解決上述問題。

本發明解碼相位調變之擺動訊號以判斷位址資料之方法包含有：(a)依據擺動訊號產生一非相位調變之擺動時脈；(b)依據擺動訊號與擺動時脈產生一運算資料；(c)取樣運算資料後，將取樣訊號之各位元與包含一位址資料之位元串之各位元比較，並依據對應不同邏輯值產生至少一第一邏輯位元數，以及依據對應相同邏輯值產生至少一第二邏輯位元數；以及(d)依據第一邏輯位元數與第二邏輯位元數判斷該運算資料是否對應該位址資料。

由於本發明位址資料判斷方法利用一運算資料與一理想位元串之間對應相異邏輯值的第一邏輯位元數以及對應相同邏輯值的第二邏輯位元數來篩選該運算資料是否對應該理想位元串而紀錄相對應的位址資料。因此，本發明位址資料判斷方法僅需比較該第一、第二邏輯位元數與第一、第二臨界值即可判斷該運算資料是否紀錄位址資料。換句話說，本發明位址資料判斷方法可減少光碟機中儲存元件的用量來降低生產成本，以及降低光碟機中判斷邏輯電路的複雜度。

【實施方式】

圖五為本發明位址資料判斷方法的流程圖。本發明位址資料判斷方法執行於一光碟機系統中，用來解碼相位調變之擺動訊號以判斷出所要的位址資料，而光碟機系統可以是一 DVD+R 光碟機或一 DVD+RW 光碟機。本發明位址資料判斷方法的執行主要包含有下列步驟：

- 步驟 100：使用一參考時脈 WBLCLK2 來取樣運算資料 ADIP_PRE 以產生一取樣訊號 ADIP_S；
- 步驟 102：對取樣訊號 ADIP_S 與一理想位元串進行 XOR 邏輯運算來計算邏輯值相異的第一位元數 N1，以及對取樣訊號 ADIP_S 與該理想位元串進行 AND 邏輯運算來計算邏輯值相同的第二位元數 N2；
- 步驟 104：第一位元數 N1 是否不大於一第一臨界值？若是，則執行步驟 106；否則，執行步驟 110；
- 步驟 106：第二位元數 N2 是否不小於一第二臨界值？若是，則執行步驟 108；否則，執行步驟 110；
- 步驟 108：判斷運算資料 ADIP_PRE 包含位址資料 ADIP；
- 步驟 110：判斷運算資料 ADIP_PRE 不包含位址資料 ADIP。

圖六為本發明位址資料判斷方法的操作示意圖。首先，本實施例利用參考時脈 WBLCLK2 來取樣運算資料 ADIP_PRE，由於運算資料 ADIP_PRE 係由擺動訊號 WBL 與擺動時脈 WBLCLK 經由 XOR 邏輯運算產生，而參考時脈 WBLCLK2 的頻率係為擺動時脈 WBLCLK 之頻率的兩倍，因此若原先運算資料 ADIP_PRE 以擺動時脈 WBLCLK 之每一正緣 (rising edge) 進行取樣係對應 N 個位元，則同樣的運算資料 ADIP_PRE 經由參考時脈 WBLCLK2 之每一正緣進行取樣則會對

應 2N 個位元，換句話說，運算資料 ADIP_PRE 所產生的取樣訊號 ADIP_S 便可具有較高的解析度（步驟 100）。另外，對於位址資料 ADIP 來說，其同步單元所對應的理想位元串 S1 經由參考時脈 WBLCLK2 取樣後係為“11111111100000000”（S1），其資料單元所對應的理想位元串 S2、S3 經由參考時脈 WBLCLK2 取樣後則分別為“1100000000001111”（S2）（邏輯值“0”）與“1100000011110000”（S3）（邏輯值“1”）。

如圖六所示，假設運算資料 ADIP_PRE 於時間 T1~T2 之間對應八個擺動週期，而其相對應取樣訊號 ADIP_S' 為“1100000000001111”，然後依據取樣訊號 ADIP_S' 與理想位元串 S1、S2、S3 來進行 XOR 邏輯運算以產生如圖六所示之邏輯取樣訊號 R1、R2、R3，以及依據取樣訊號 ADIP_S' 與理想位元串 S1、S2、S3 來進行 AND 邏輯運算以產生如圖六所示之邏輯運算結果 R1'、R2'、R3'。接著，再依據邏輯運算結果 R1、R2、R3、R1'、R2'、R3' 來計算取樣訊號 ADIP_S' 與理想位元串 S1、S2、S3 之間邏輯值相異的第一位元數與邏輯值相同的第二位元數（步驟 102）。本實施例係將取樣訊號 ADIP_S' 與理想位元串 S1、S2、S3 劃分為兩區段來計算第一位元數與第二位元數，亦即對於取樣訊號 ADIP_S' 來說，其於時間 T1~T3（四個擺動週期）的位元串“11000000”對應一第一區段，而其於時間 T3~T2（四個擺動週期）的位元串“00001111”對應一第二區段。明顯地，理想位元串 S1、S2、S3 之第一區段分別對應“11111111”、“11000000”、“11000000”，以及理想位元串 S1、S2、S3 之第二區段分別對應“00000000”、“00001111”、“11110000”。

以取樣訊號 ADIP_S' 的第一、第二區段與理想位元串 S1 的第一、第二區段的比較為例，由邏輯運算結果 R1 可知邏輯值為“1”的位元表示取樣訊號 ADIP_S' 的第一區段與理想位元串 S1 的第一區段中邏輯值相異的位元，所以將邏輯運算結果 R1 第一區段中邏輯值為“1”的個數即為對應理想位元串 S1 第一區段邏輯值相異的位元數，可以得到邏輯位元數 D11 為 6（“00111111”），同樣地，由邏輯運算結果 R1 可知邏輯值為“1”的位元表示取樣訊號 ADIP_S' 的第二區段與理想位元串 S1 的第二區段中邏輯值相異的位元，所以將邏輯運算結果 R1 第二區段中邏輯值為“1”的個數即為對應理想位元串 S1 第二區段邏輯值相異的位元數，可以得到邏輯位元數 D12 為 4（“00001111”）。此外，由邏輯運算結果 R1' 可知邏輯值為“1”的位元表示取樣訊號 ADIP_S' 的第一區段與理想位元串 S1 的第一區段中邏輯值相同的位元，所以邏輯位元數 D13 為 2（“11000000”）。同樣地，由邏輯運算結果 R1' 可知邏輯值為“1”的位元表示取樣訊號 ADIP_S' 的第二區段與理想位元串 S1 的第二區段中邏輯值相同的位元，所以邏輯位元數 D14 為 0（“00000000”）。

然後，分別比較上述邏輯位元數 D11、D12、D13、D14 與預定的第一、第

二臨界值 H_{i1} 和 H_{i2} (i 為 1 或 2, 表示為第一區段或第二區段的臨界值, 第一臨界值是用來檢視 XOR 運算的結果, 而第二臨界值是用來檢視 AND 運算的結果, 且每一區段都分別有對應的第一和第二臨界值)。例如設定對應第一區段的第一臨界值 H_{11} 和 H_{21} 皆為 2, 以及設定對應第二區段的第一臨界值 H_{12} 為 6。請注意, 第一、第二區段的第一、第二臨界值係為可調整的, 用來依據光碟機系統 10 的需求設定理想位元串 $S1$ 可容忍的誤差範圍。由於此時邏輯位元數 $D11$ 、 $D12$ 均大於 2 (步驟 104), 所以經過 XOR 運算後的取樣訊號 $ADIP_S'$ 的第一、第二區段與理想位元串 $S1$ 的相對應第一、第二區段具有太多邏輯值相異的位元, 因此便可判斷運算資料 $ADIP_PRE$ 於時間 $T1 \sim T2$ 中並非對應位址資料 $ADIP$ 的同步單元。請注意, 由於理想位元串 $S1$ 於第二區段對應於 "00000000", 因此當進行 AND 邏輯運算時, 邏輯運算結果 $R1'$ 於第二區段之每一位元均對應邏輯值 "0", 所以對於取樣訊號 $ADIP_S'$ 與理想位元串 $S1$ 的比較而言, 步驟 106 並未應用於第二區段來判斷經過 AND 運算後的取樣訊號 $ADIP_S'$ 的第二區段與理想位元串 $S1$ 的第二區段是否具有大量邏輯值相同的位元; 相反地, 本實施例僅由邏輯位元數 $D12$ ("00001111") 即可得知取樣訊號 $ADIP_S'$ 與理想位元串 $S1$ 於第二區段的位元差異, 亦即若邏輯位元數 $D12$ 越大 (亦即不同的位元數越多), 則經過 XOR 運算後的取樣訊號 $ADIP_S'$ 與理想位元串 $S1$ 之間的差異也越大, 所以若步驟 104 應用於第二區段而判斷經過 XOR 運算後的取樣訊號 $ADIP_S'$ 的第二區段與理想位元串 $S1$ 的第二區段具有少量邏輯值相異的位元 ($D12$ 小), 則等效地表示經過 AND 運算後的取樣訊號 $ADIP_S'$ 的第二區段與理想位元串 $S1$ 的第二區段具有大量邏輯值相同的位元 ($D14$ 大)。

以取樣訊號 $ADIP_S'$ 的第一、第二區段與理想位元串 $S2$ 的第一、第二區段的比較為例, 由邏輯運算結果 $R2$ 可知邏輯值為 "1" 的位元表示取樣訊號 $ADIP_S'$ 的第一區段與理想位元串 $S2$ 的第一區段中邏輯值相異的位元, 所以邏輯位元數 $D21$ 為 0 ("00000000"), 同樣地, 由邏輯運算結果 $R2$ 可知邏輯值為 "1" 的位元表示取樣訊號 $ADIP_S'$ 的第二區段與理想位元串 $S2$ 的第二區段中邏輯值相異的位元, 所以邏輯位元數 $D22$ 亦為 0 ("00000000")。此外, 由邏輯運算結果 $R2'$ 可知邏輯值為 "1" 的位元表示取樣訊號 $ADIP_S'$ 的第一區段與理想位元串 $S2$ 的第一區段中邏輯值相同的位元, 所以邏輯位元數 $D23$ 為 2 ("11000000"), 同樣地, 由邏輯運算結果 $R2'$ 可知邏輯值為 "1" 的位元表示取樣訊號 $ADIP_S'$ 的第二區段與理想位元串 $S2$ 的第二區段中邏輯值相同的位元, 所以邏輯位元數 $D24$ 為 4 ("00001111")。

然後, 分別比較上述邏輯位元數 $D21$ 、 $D22$ 、 $D23$ 、 $D24$ 與預定的第一、第二臨界值 H_{11} 、 H_{21} 、 H_{12} 、 H_{22} , 例如設定對應第一區段的第一、第二臨界值 H_{11} 、 H_{12} 分別為 1 與 1, 以及設定對應第二區段的第一、第二臨界值 H_{21} 、 H_{22} 分別為 1 與 3。同樣地, 第一、第二區段的第一、第二臨界值係為可調整的, 用來依序

需求設定理想位元串 S2 可容忍的誤差範圍。由於此時邏輯位元數 D21 (為 0) 和 D22 (為 0) 均不大於 1 (步驟 104)，因此表示經過 XOR 運算後的取樣訊號 ADIP_S' 的第一、第二區段與理想位元串 S2 的第一、第二區段沒有邏輯值相異的位元，亦即比較結果 ADIP_PRE 於時間 T1~T2 中可能係對應理想位元串 S2，所以需再偵測取樣訊號 ADIP_S' 的第一、第二區段與理想位元串 S2 的第一、第二區段是否具有大量邏輯值相同的位元 (亦即此時需要考慮 AND 運算結果)，此時邏輯位元數 D23 (為 2) 和 D24 (為 4) 分別不小於 1 與 3 (步驟 106)，換句話說，可判斷運算資料 ADIP_PRE 於時間 T1~T2 中係對應位址資料 ADIP 的資料單元 (邏輯值 "0")。

以取樣訊號 ADIP_S' 的第一、第二區段與理想位元串 S3 的第一、第二區段的比較為例，由邏輯運算結果 R3 可知邏輯值為 "1" 的位元表示取樣訊號 ADIP_S' 的第一區段與理想位元串 S3 的第一區段中邏輯值相異的位元，所以邏輯位元數 D31 為 0 ("00000000")，同樣地，由邏輯運算結果 R3 可知邏輯值為 "1" 的位元表示取樣訊號 ADIP_S' 的第二區段與理想位元串 S3 的第二區段中邏輯值相異的位元，所以邏輯位元數 D32 為 8 ("11111111")。此外，由邏輯運算結果 R3' 可知邏輯值為 "1" 的位元表示取樣訊號 ADIP_S' 的第一區段與理想位元串 S3 的第一區段中邏輯值相同的位元，所以邏輯位元數 D33 為 2 ("11000000")，同樣地，由邏輯運算結果 R3' 可知邏輯值為 "1" 的位元表示取樣訊號 ADIP_S' 的第二區段與理想位元串 S3 的第二區段中邏輯值相同的位元，所以邏輯位元數 D34 為 0 ("00000000")。

然後，分別比較上述邏輯位元數 D31、D32、D33、D34 與預定的第一、第二臨界值 H₁₁、H₂₁、H₁₂、H₂₂，例如設定對應第一區段的第一、第二臨界值 H₁₁、H₁₂ 分別為 1 與 1，以及設定對應第二區段的第一、第二臨界值 H₂₁、H₁₂ 分別為 1 與 3。同樣地，第一、第二區段的第一、第二臨界值係為可調整的，用來依序需求設定理想位元串 S3 可容忍的誤差範圍。由於此時邏輯位元數 D31 雖不大於 1，然而邏輯位元數 D32 卻大於 1 (步驟 104)，因此表示取樣訊號 ADIP_S' 的第二區段與理想位元串 S3 的第二區段具有太多邏輯值相異的位元，因此便可判斷運算資料 ADIP_PRE 於時間 T1~T2 中並非對應位址資料 ADIP 的資料單元 (邏輯值 "1")。

如業界所習知，擺動時脈 WBLCLK 的一個時脈週期等於 32T，而本實施例係以參考時脈 WBLCLK2 取樣運算資料 ADIP_PRE 來產生取樣訊號 ADIP_S，由於參考時脈 WBLCLK2 的頻率係為擺動時脈 WBLCLK 之頻率的兩倍，換句話說，參考時脈 WBLCLK2 的一個時脈週期等於 16T，所以判斷邏輯電路 26 每隔 16T 便會產生取樣訊號 ADIP_S 之一位元，而取樣訊號 ADIP_S' 亦需不斷地更新以持續地進行位址資料 ADIP 的判斷程序，換句話說，每一次判斷位址資料 ADIP

的操作需於 16T 內完成。本實施例中，判斷取樣訊號 ADIP_S' 是否可視為理想位元串 S1、S2、S3 之其一時，係將相對應邏輯運算結果 R1、R1'、R2、R2'、R3、R3' 劃分為兩區段來分別累計邏輯位元數 D11、D12、D13、D14、D21、D22、D23、D24、D31、D32、D33、D34，其主要目的係可降低計算上述位元數所需的時間以符合 16T 的時間限制。以邏輯運算結果 R1、R1' 與邏輯位元數 D11、D12、D13、D14 為例，由於每一區段包含有 8 個位元，因此若邏輯運算結果 R1 之第一區段中 8 個位元均具有邏輯值“1”，則位元數 D11 的最大十進位值為 8，同樣地，其他邏輯位元數 D12、D13、D14 的最大十進位值亦為 8，由於 4 位元加法器（4 bits adder）即可紀錄二進位值“1000”來表示十進位值 8，因此圖一所示之判斷邏輯電路 26 便需使用八個 4 位元加法器（4 bits adder）來同時計算邏輯位元數 D11、D12、D13、D14、D21、D22、D23、D24、D31、D32、D33、D34。由於每一區段包含有 8 個位元，換句話說，各 4 位元加法器需執行 8 次加法運算以累加該 8 個位元的邏輯值，若 4 位元加法器執行一次加法運算需耗費 1T 的時間，因此步驟 102 的執行可於 8T 的時間中完成，所以判斷位址資料 ADIP 的操作便可符合 16T 的時間限制。

經由上述流程，時間 T1~T2 之間的八個擺動週期被判斷為紀錄位址資料 ADIP 的資料單元（邏輯值“0”），然而由圖六所示之運算資料 ADIP_PRE 於時間 T4~T5 所對應的波形可明顯地得知該八個擺動週期被誤判為紀錄位址資料 ADIP 的資料單元（邏輯值“0”），因此為了避免僅比對八個擺動週期而忽略該八個擺動週期前與該八個擺動週期後的干擾影響，所以本實施例另揭露使用八個以上的擺動週期來進行圖五所示之流程，以便進一步地提升本發明方法判斷位址資料的準確度。舉例來說，於原先八個擺動週期前多選取兩個擺動週期，以及於原先八個擺動週期後多選取兩個擺動週期來判斷時間 T1~T2 之間的八個擺動週期是否紀錄位址資料 ADIP，亦即以時間 T4~T5 之間的十個擺動週期來進行前述邏輯值相異之位元數以及邏輯值相同之位元數的運算。同樣地，相對應取樣訊號 ADIP_S 亦劃分為兩區段來降低計算上述位元數所需的時間以符合 16T 的時間限制。由於每一區段對應 12 位元，亦即位元數的最大十進位值為 12，所以圖一所示之判斷邏輯電路 26 此時亦使用四個 4 位元加法器來同時計算對應理想位元串 S1、S2、S3 位元數，此外，若 4 位元加法器執行一次加法運算需耗費 1T 的時間，因此步驟 102 的執行可順利地於 12T 的時間中完成，因此判斷位址資料 ADIP 的操作便可符合 16T 的時間限制。請注意，此時理想位元串 S1 於兩區段分別對應“000011111111”與“000000000000”，理想位元串 S2 於兩區段分別對應“000011000000”與“000011110000”，以及理想位元串 S3 於兩區段分別對應“000011000000”與“111100000000”。

此外，當利用八個以上的擺動週期來進行圖五所示之流程時，若原先八個擺動週期前（時間 T1 前）之波形受干擾，以及原先八個擺動週期後（時間 T2 後）

之波形受干擾，則步驟 102 所算出的第一位元數即明顯地增加，所以經由步驟 104 即可輕易地判斷時間 T1~T2 之間的八個擺動週期並非紀錄著位址資料 ADIP。綜合上述，經由額外擺動週期的輔助，本發明位址資料判斷方法可大幅地增進判斷位址資料的準確率。

相較於習知技術，本發明位址資料判斷方法利用運算資料 ADIP_PRE 與一理想位元串之間對應相異邏輯值的第一位元數以及對應相同邏輯值的第二位元數來篩選運算資料 ADIP_PRE 是否對應該理想位元串而紀錄相對應的位址資料 ADIP，其中係設定第一、第二臨界值來判斷該第一、第二位元數的數量。若該第一位元數大於該第一臨界值則表示運算資料 ADIP_PRE 與該理想位元串之間具有過多相異邏輯值的位元，所以運算資料 ADIP_PRE 並非紀錄對應該理想位元串的位址資料 ADIP；同樣地，若該第二位元數小於該第二臨界值則表示運算資料 ADIP_PRE 與該理想位元串之間具有過少相同邏輯值的位元，所以運算資料 ADIP_PRE 亦並非紀錄對應該理想位元串的位址資料 ADIP。因此，本發明位址資料判斷方法僅需比較該第一、第二位元數與該第一、第二臨界值即可判斷運算資料 ADIP_PRE 是否紀錄位址資料 ADIP，然而，對於習知技術而言，其需使用複數個暫存器來紀錄位址資料 ADIP 的各種可能位元串，以便後續可經由複數次比較運算來判斷運算資料 ADIP_PRE 是否紀錄位址資料 ADIP，換句話說，本發明位址資料判斷方法可降低光碟機中儲存元件的用量，以及降低光碟機中判斷邏輯電路的複雜度。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

【圖式簡單說明】

圖式之簡單說明
圖一為習知光碟機系統的示意圖。
圖二、三、四分別為習知擺動訊號的示意圖。
圖五為本發明位址資料判斷方法的流程圖。
圖六為本發明位址資料判斷方法的操作示意圖。

圖式之符號說明			
10	光碟機系統	12	光碟機
14	光碟片	16	讀寫頭
18	擺動時脈產生電路	20	位址資料解碼器
22	控制電路	24	XOR 邏輯運算電路
26	判斷邏輯電路	28	鎖相電路
29	除頻電路	30a、30b、30c	擺動訊號

拾、申請專利範圍：

1. 一種判斷一運算資料是否包含一資料位址的方法，包含有：
將一取樣訊號與一理想位元串執行一第一邏輯運算以得到一第一邏輯位元數；以及
將該第一邏輯位元數與一第一臨界值比較用以判斷該運算資料是否包含該資料位址；
其中若該第一邏輯運算之結果無法得知該運算資料是否包含該資料位置，則將該取樣訊號與該理想位元串執行一第二邏輯運算。
2. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中更包含：
根據一相位調變之輸入訊號產生一非相位調變之目標時脈訊號；以及
將該輸入訊號以及該目標時脈訊號執行一 XOR 邏輯運算用以產生該運算資料。
3. 如申請專利範圍第 2 項之判斷一運算資料是否包含一資料位址的方法，其中更包含：取樣該運算資料以得到該取樣訊號。
4. 如申請專利範圍第 3 項之判斷一運算資料是否包含一資料位址的方法，其中取樣頻率為該目標時脈訊號的 2 倍。
5. 如申請專利範圍第 2 項之判斷一運算資料是否包含一資料位址的方法，其中該輸入訊號為一光碟片之擺動訊號，該目標時脈訊號為擺動時脈訊號。
6. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中該第一邏輯運算為 XOR 邏輯運算，則該第一邏輯位元數即為該取樣訊號與該理想位元串間不同位元的數目。
7. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中若該第一邏輯位元數大於該第一臨界值，則判斷該運算資料不含該位址資料。
8. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中若該第一邏輯位元數不大於該第一臨界值，則將該取樣訊號以及該理想位元串執行該第二邏輯運算以得到一第二邏輯位元數。

9. 如申請專利範圍第 8 項之判斷一運算資料是否包含一資料位址的方法，其中該第二邏輯運算為 AND 邏輯運算，該第二邏輯位元數即為該取樣訊號與該理想位元串間相同位元的數目。
10. 如申請專利範圍第 8 項之判斷一運算資料是否包含一資料位址的方法，其中更包含將該第二邏輯位元數與一第二臨界值比較。
11. 如申請專利範圍第 10 項之判斷一運算資料是否包含一資料位址的方法，其中若該第二邏輯位元數小於該第二臨界值，則判斷該運算資料不含該位址資料。
12. 如申請專利範圍第 10 項之判斷一運算資料是否包含一資料位址的方法，其中若該第二邏輯位元數不小於該第二臨界值，則判斷該運算資料包含該位址資料。
13. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中該理想位元串包含該位址資料之一同步單元或一資料位元。
14. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中該方法可應用於一光碟系統中。
15. 一種判斷一運算資料是否包含一資料位址的方法，包含有：
將一取樣訊號區分成複數個取樣訊號區段；
分別將每一個該取樣訊號區段與一對應理想位元串區段執行一第一邏輯運算以得到複數個第一邏輯位元數；以及
分別將每一個該第一邏輯位元數與一對應第一臨界值比較用以判斷該運算資料是否包含該資料位址；
其中若該第一邏輯運算之結果無法得知該運算資料是否包含該資料位置，則將每一個該取樣訊號區段分別與該對應理想位元串區段執行一第二邏輯運算。
16. 如申請專利範圍第 15 項之判斷一運算資料是否包含一資料位址的方法，其中更包含：
根據一相位調變之輸入訊號產生一非相位調變之目標時脈訊號；以及

將該輸入訊號以及該目標時脈訊號執行一 XOR 邏輯運算用以產生該運算資料。

17. 如申請專利範圍第 16 項之判斷一運算資料是否包含一資料位址的方法，其中更包含：取樣該運算資料以得到該取樣訊號。
18. 如申請專利範圍第 17 項之判斷一運算資料是否包含一資料位址的方法，其中取樣頻率為該目標時脈訊號的 2 倍。
19. 如申請專利範圍第 16 項之判斷一運算資料是否包含一資料位址的方法，其中該輸入訊號為一光碟片之擺動訊號，該目標時脈訊號為擺動時脈訊號。
20. 如申請專利範圍第 15 項之判斷一運算資料是否包含一資料位址的方法，其中該第一邏輯運算為 XOR 邏輯運算，複數個該第一邏輯位元數則分別為複數個該取樣訊號區段與對應該理想位元串區段間不同位元的數目。
21. 如申請專利範圍第 15 項之判斷一運算資料是否包含一資料位址的方法，其中若複數個該第一邏輯位元數至少一個大於對應該第一臨界值，則判斷該運算資料不含該位址資料。
22. 如申請專利範圍第 15 項之判斷一運算資料是否包含一資料位址的方法，其中若複數個該第一邏輯位元數皆不大於該第一臨界值，則分別將每一個該取樣訊號區段以及對應該理想位元串區段執行該第二邏輯運算以得到複數個第二邏輯位元數。
23. 如申請專利範圍第 22 項之判斷一運算資料是否包含一資料位址的方法，其中該第二邏輯運算為 AND 邏輯運算，複數個該第二邏輯位元數則分別為複數個該取樣訊號區段與對應該理想位元串區段間相同位元的數目。
24. 如申請專利範圍第 22 項之判斷一運算資料是否包含一資料位址的方法，其中更包含將複數個該第二邏輯位元數分別與複數個對應的第二臨界值比較。
25. 如申請專利範圍第 24 項之判斷一運算資料是否包含一資料位址的方法，其中若複數個該第二邏輯位元數至少一個小於對應該第二臨界值，則判斷該運算

資料不含該位址資料。

26. 如申請專利範圍第 24 項之判斷一運算資料是否包含一資料位址的方法，其中若複數個該第二邏輯位元數皆不小於對應該第二臨界值，則判斷該運算資料包含該位址資料。
27. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中該理想位元串包含該位址資料之一同步單元或一資料位元。
28. 如申請專利範圍第 1 項之判斷一運算資料是否包含一資料位址的方法，其中該方法可應用於一光碟系統中。

拾壹、圖式：